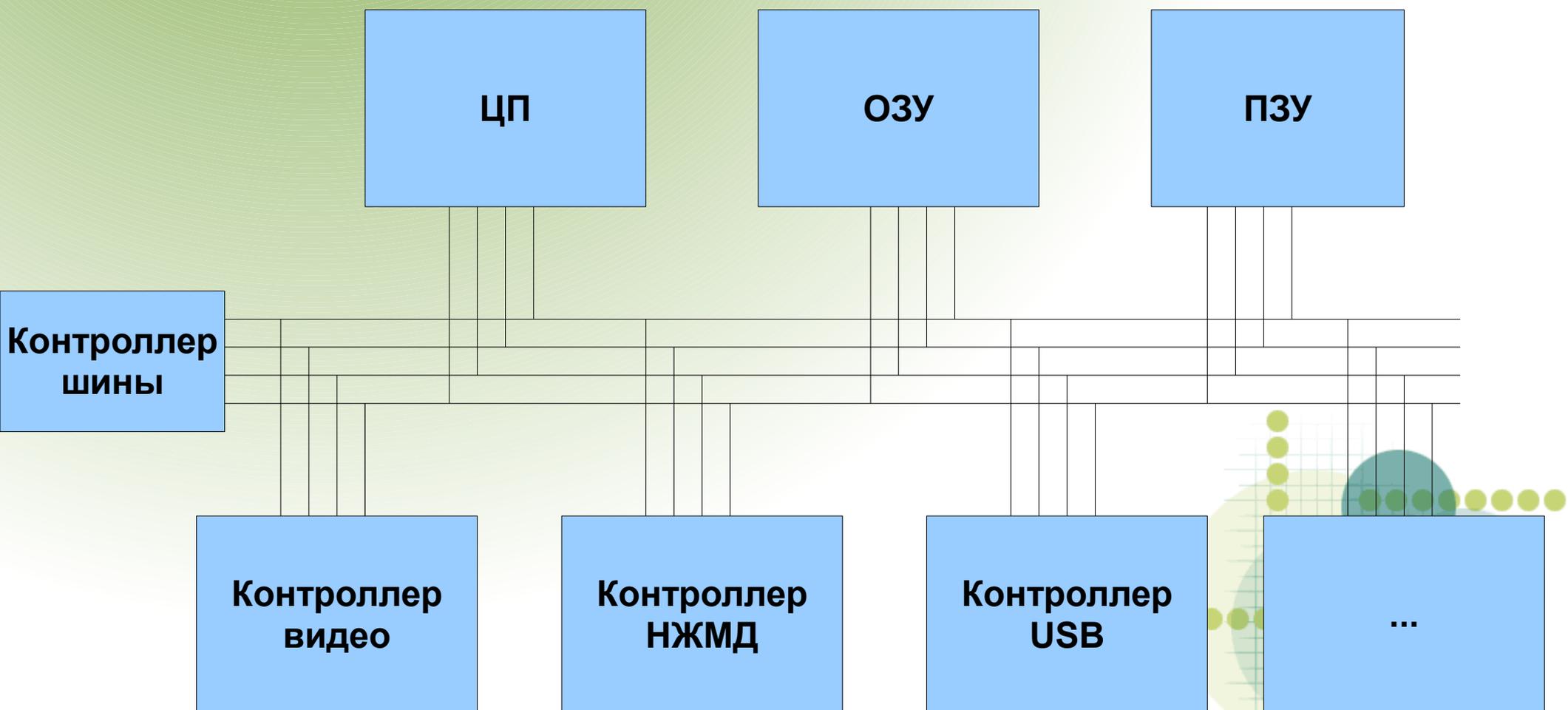
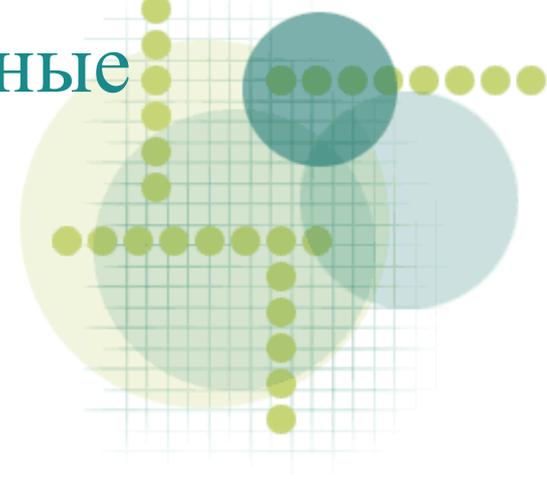


Основы архитектуры ЭВМ: общая шина



Шина (Bus)

- Стандартизованный интерфейс подключения устройств
- Стандартизация по электричеству: напряжение, сопротивление, потребляемые токи, уровни 0 и 1
- Стандартизация по временным отрезкам (timings): тактовая частота, переходные режимы и т. д.

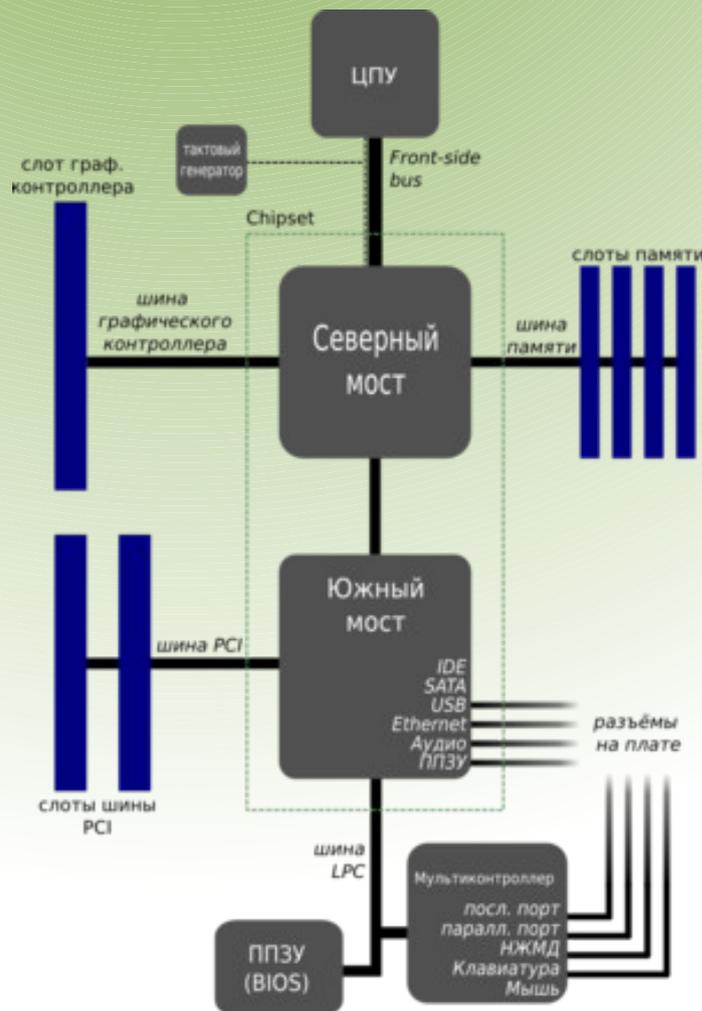


Недостатки общей шины

- Быстрые и медленные устройства на одной шине
- Стандартизация интерфейса с внешними устройствами (+) делает невозможным изменение интерфейса работы с памятью, видео и т. д.
- Решение: разделение ЭВМ на несколько частей, связанных своими шинами, с мостами между ними



Современная архитектура PC



- FSB — частота процессора
- PCIe (2.0) — 2.5 ГГц
- Шина памяти — 800 МГц
- PCI — 33 МГц



Типы ОЗУ

- Статическая память произвольного доступа (SRAM)
- Динамическая память произвольного доступа (DRAM)

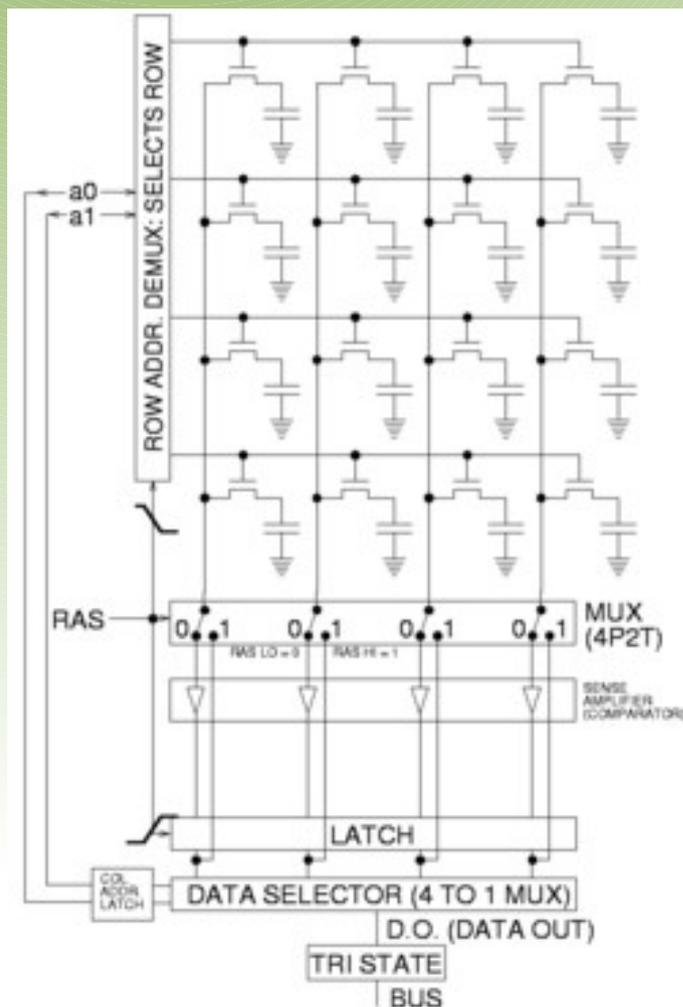


Временные характеристики ОЗУ

- Время чтения — время от начала операции чтения до появления значения на выходе
- Время цикла — время от начала операции чтения до готовности к следующей операции



Динамическая ППД

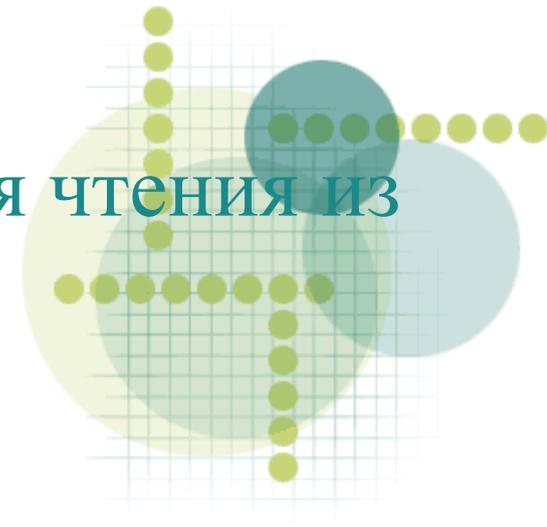


- 1 транзистор + 1 конденсатор
- Мин. время чтения: 18 тактов (22.5 нс)
- Время цикла: 27 тактов (33.75 нс)
- Необходимость регенерации



Сравнение скорости ЦП и ОЗУ

- Предположим, тактовая частота процессора — 3.2ГГц
- Тактовая частота ОЗУ — 800 МГц ($\frac{1}{4}$ от частоты процессора)
- Время чтения: 72 тактов процессора
- Время цикла: 108 тактов
- С учетом накладных расходов время чтения из ОЗУ: 100 — 200 тактов процессора



Кэширование

- Кэш (cache) (значка, тайник) — средство для сглаживания разности скоростей устройств. Некоторая часть данных с медленного устройства помещается в кэш, работающий со скоростью быстрого устройства.



Иерархия памяти



Кэш-память ЦП

- L1 — наименьший размер (до 64 KiB), делится на кэш инструкций и данных (L1I, L1D), отдельный для каждого ядра
- L2 — средний размер (1 MiB), общая для данных и инструкций, отдельный
- L3 — наибольший размер (до 8 MiB), общая для данных и инструкций, общая для всех ядер
- TLB (translation lookahead buffer) — для организации виртуальной памяти



Работа кэш-памяти

- Попадание (hit) — значение берется из кэша, а не из ОЗУ
- Промах (miss) — требуемой ячейки в кэше нет
 - Обязательный промах (ячейка не загружена)
 - Промах из-за размера
 - Промах из-за конфликта (ячейка была в кэше, но оказалась выгруженной)



Характеристики кэш-памяти

- Размер
- Время доступа
- Размер ряда (блока) кэша
- Ассоциативность
- Политика записи в основную память
- Политика замещения
- Политика обеспечения когерентности



Размер ряда (блока)

- При чтении одного байта из ОЗУ загружается ряд (блок) ячеек
- Типичный размер: 32 или 64 байта



Ассоциативность

- Предположим, что кэш позволяет разместить M блоков
- Рассмотрим загрузку блока B из памяти в кэш
- Если блок B может быть размещен в любой ячейке кэша — **полностью ассоциативный**
- Если блок B может быть размещен в одной ячейке — **прямое отображение**
- Если блок B может быть размещен в N ячейках — **кэш N -ассоциативный**



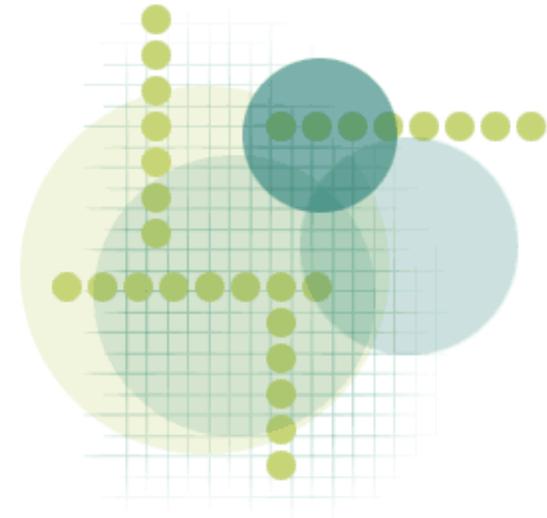
Политика записи в ОЗУ

- С отложенной записью (write-back) — запись в ОЗУ откладывается до более удобного момента
- С прямой записью (write-through) — запись в ОЗУ выполняется немедленно



Стратегия вытеснения

- Стратегия вытеснения определяет, какая из уже занятых ячеек кэша должна быть освобождена
 - LRU (least recently used)
 - LFU (least frequently used)
 - random



Когерентность

- В многопроцессорных или многоядерных системах каждый процессор (ядро) имеет свой кэш.
- Ячейка памяти, модифицируемая одним из процессоров, может находиться в кэше других процессоров.
- Кэши должны работать согласованно
 - Например, соответствующие ячейки других кэшей должны удаляться

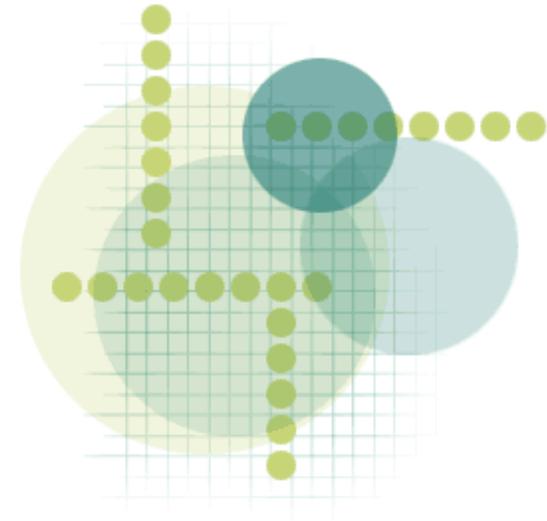


Управление памятью



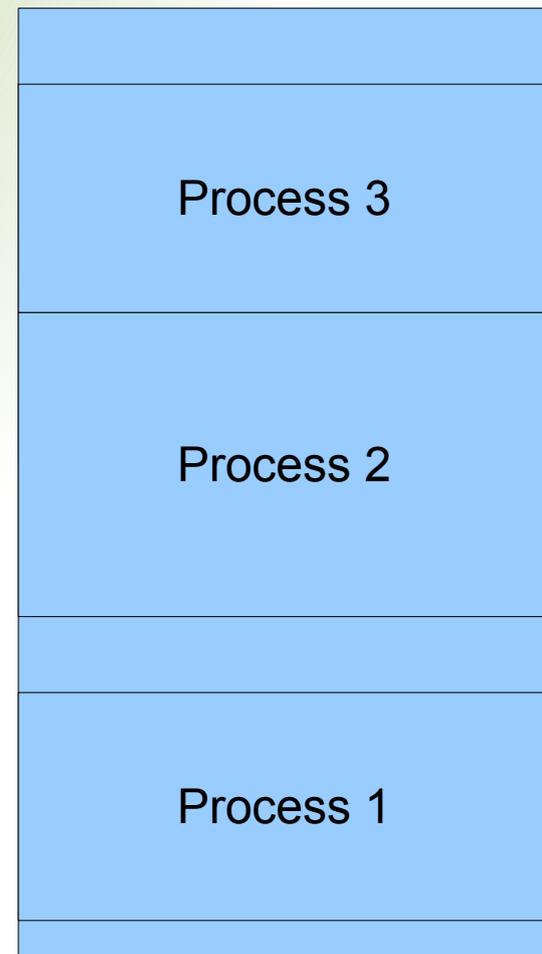
Защита памяти

- Для предотвращения попыток обращения к памяти других процессов и ядра
- Для организации подкачки и автоматического выделения памяти.



Модель база+размер

- Каждому процессу выделяется непрерывный участок ОЗУ начиная с базового адреса. Все адреса в программе вычисляются относительно базового адреса.



Подкачка (swapping)

- Выгрузка неактивного процесса целиком на внешний носитель
- Производится при нехватке ОЗУ или при долгом простое процесса



Недостатки

- Трудности с расширением адресного пространства процесса
- Внешняя фрагментация
- Невозможность разделять один и тот же блок физической памяти между несколькими процессами
- Загрузка/выгрузка процесса с/на внешнего носителя целиком
- Адресное пространство процесса не может превышать физическое адресное пространство



Внешняя фрагментация

- Дробление свободной памяти на несколько мелких частей в процессе работы системы
- Приводит к невозможности выделить память достаточного размера

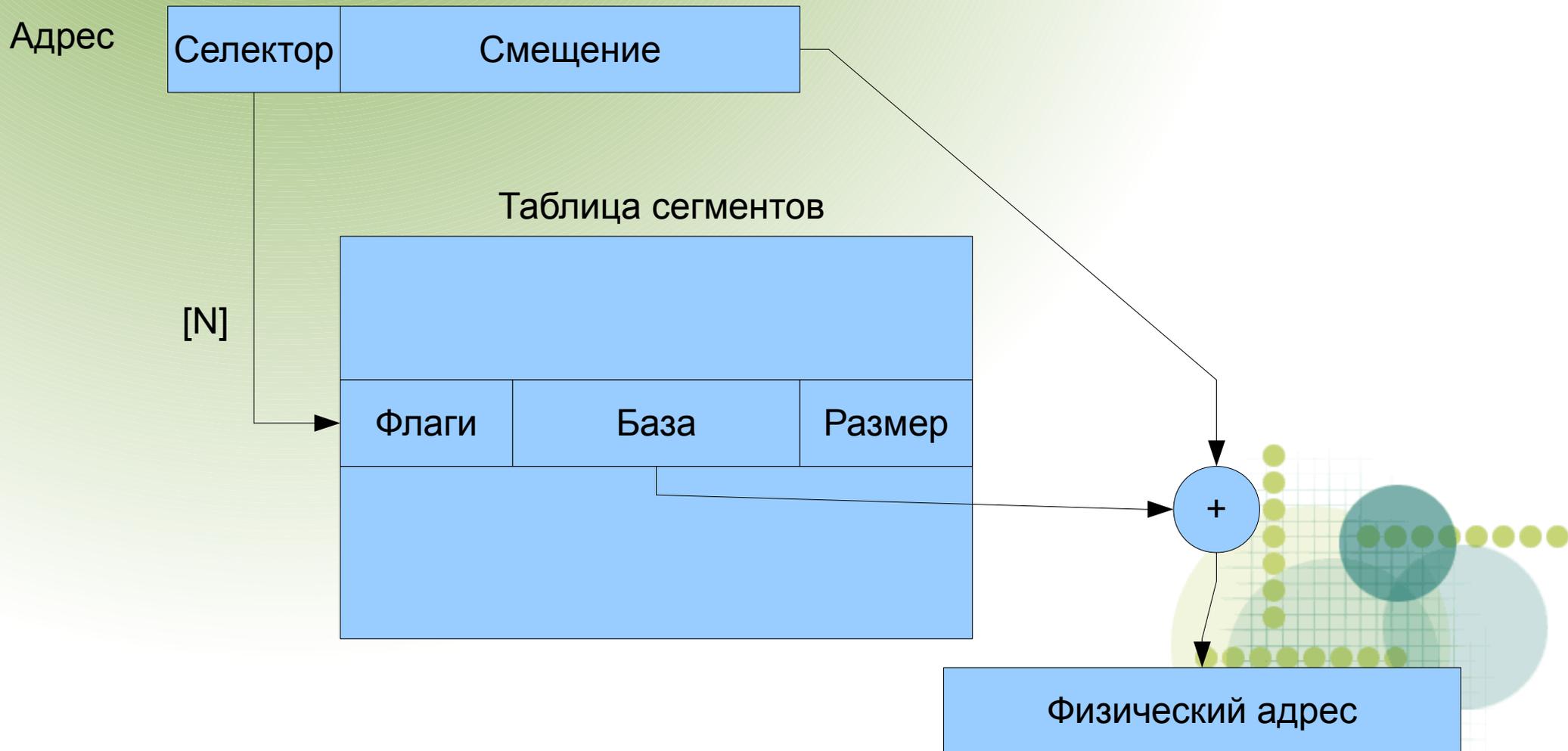


Виртуальная адресация

- Программно-аппаратный механизм трансляции адресов
- Процесс работает в своем адресном пространстве (пространстве виртуальных адресов)
- Трансляция виртуальных адресов в программные выполняется аппаратно

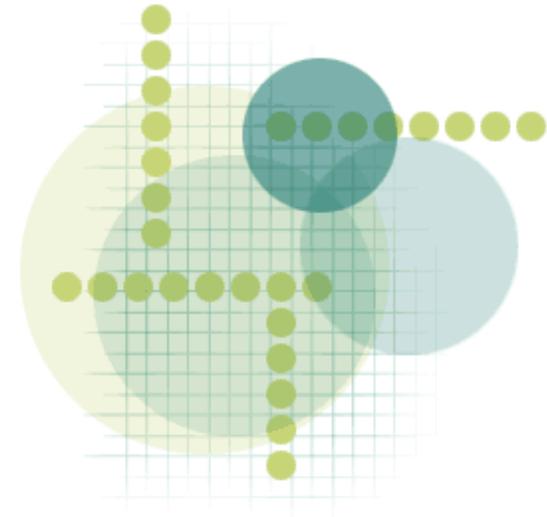


Сегментная виртуальная адресация

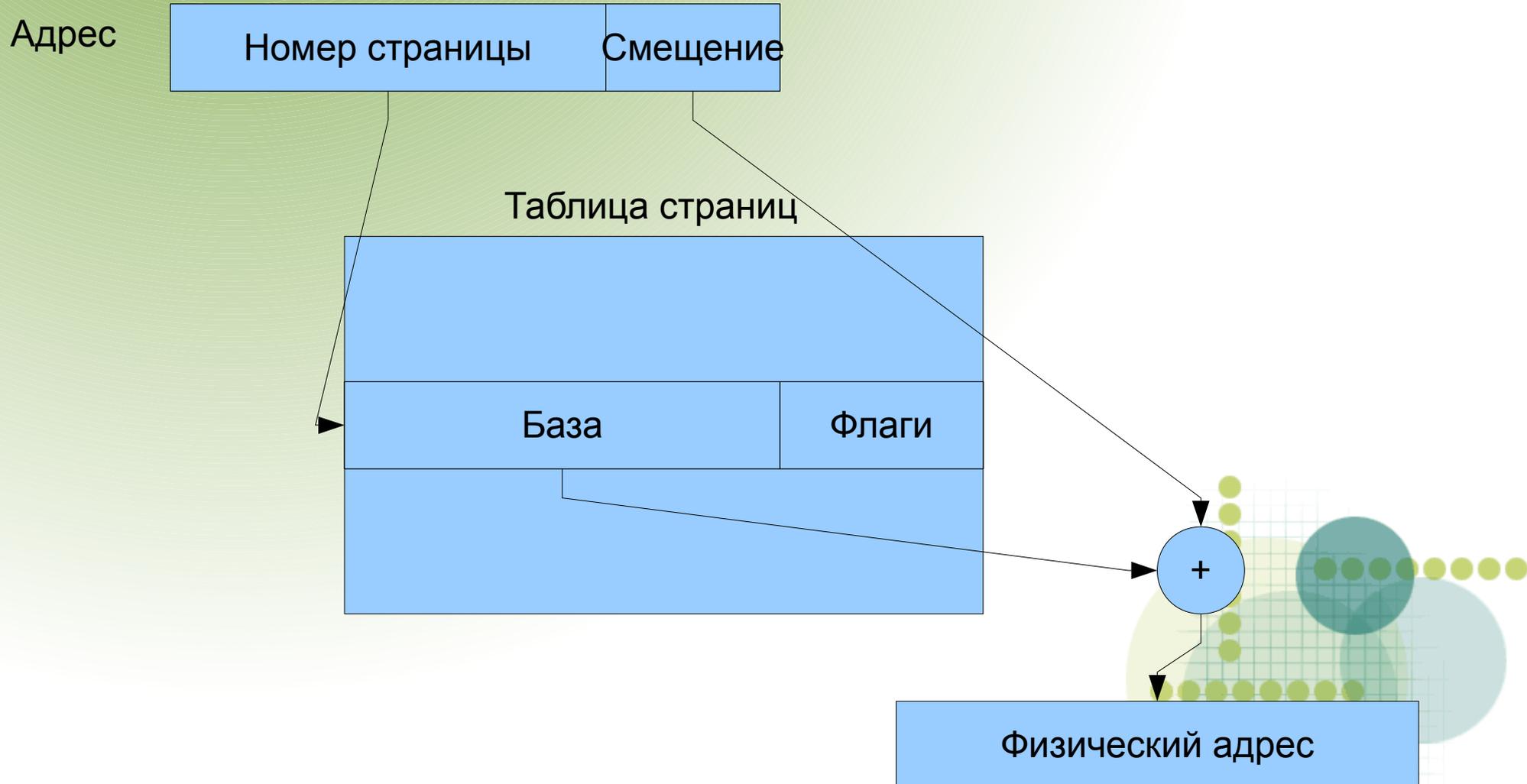


Достоинства и недостатки

- (+) сегменты могут динамически изменяться в размерах
- (+) сегменты могут разделяться между несколькими процессами
- (-) внешняя фрагментация сегментов в ОЗУ
- (-) подкачка сегментов целиком



Страничная адресация

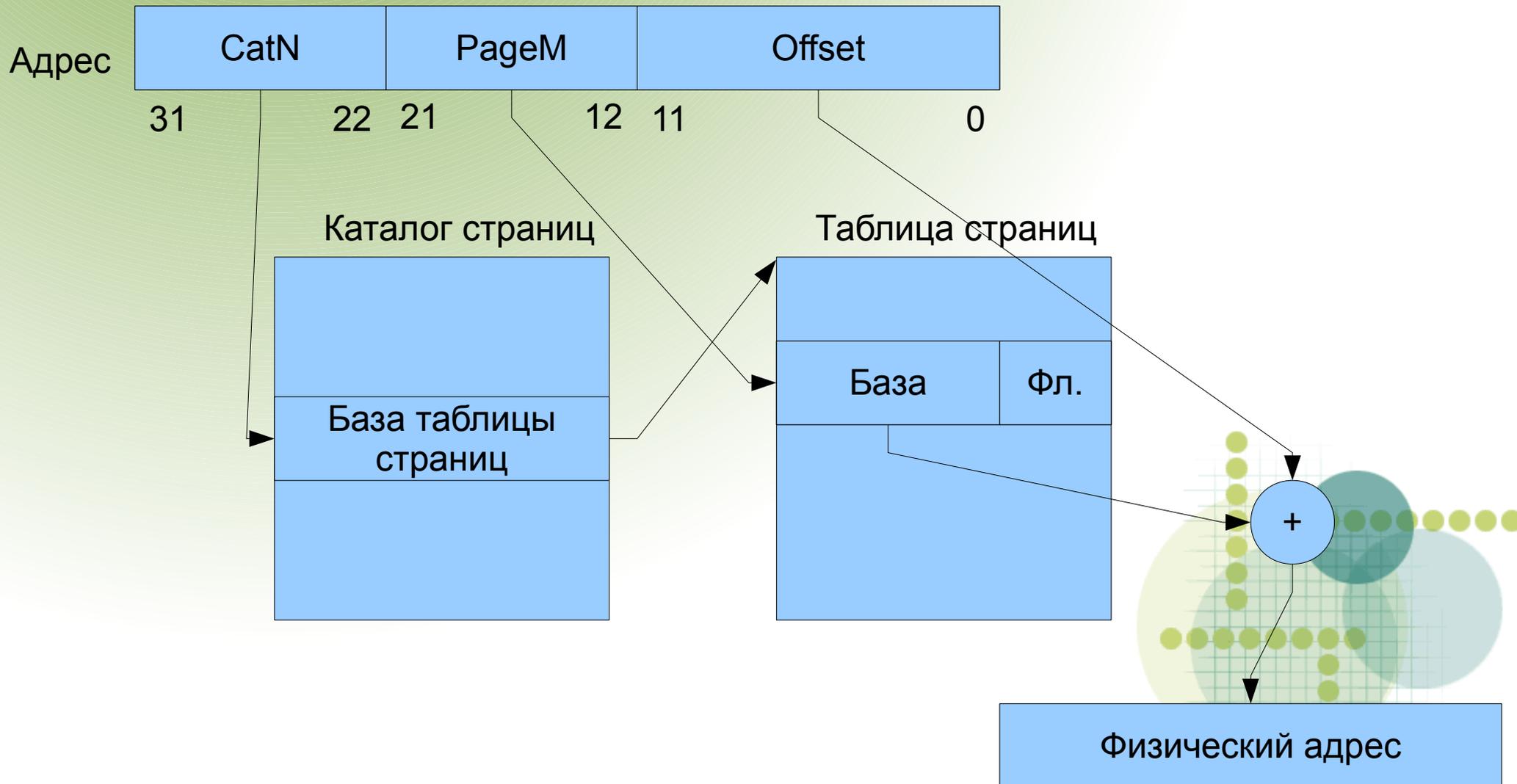


Достоинства и недостатки

- (+) Отсутствие внешней фрагментации
- (+) Возможность страничной подкачки (paging)
- (-) Необходимость хранения таблицы страниц
- (-) Внутренняя фрагментация



Двухуровневая страничная адресация



Сегментно-страничная организация

- Таблица сегментов хранит адреса таблиц страниц
- Один процесс может использовать несколько таблиц страниц



Инвертированная таблица страниц

- Одна запись на страничный блок в реальной памяти
- Каждая запись хранит (pid, vpn) , где pid — номер процесса, vpn — номер виртуальной страницы процесса
- При каждом обращении к памяти выполняется поиск по таблице
- Таблица страниц размещается в TLB, в которой организуется хэш-таблица



TLB

- Полноассоциативный кэш
- Каждая запись содержит:
 - Тег (уникальный идентификатор)
 - Физический адрес
 - Биты защиты, и пр.
- Номер адресного пространства (для переключения контекста)



Примеры

- Одноуровневая таблица страниц, страница — 512 байт (PDP-11)
- Двухуровневая таблица страниц, страница — 4096 байт (i386)
- Трехуровневая таблица страниц, страница — 4096 байт (x86_64)

